

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111728
 (43)Date of publication of application : 23.04.1999

(51)Int.CI. H01L 21/336
 H01L 21/265
 H01L 29/78

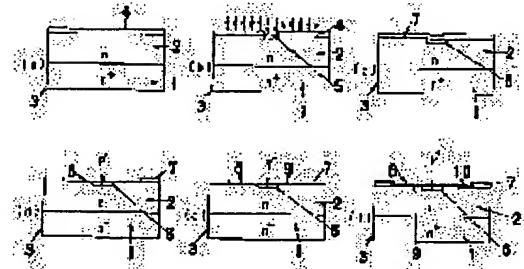
(21)Application number : 09-266858 (71)Applicant : MATSUSHITA ELECTRIC WORKS
 LTD
 (22)Date of filing : 30.09.1997 (72)Inventor : OKADA HIROSHI

(54) MANUFACTURE OF MOSFET

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of punch-through, without elongating the diffused length of a semiconductor layer in the orthogonal direction in a semiconductor region.

SOLUTION: An MOSFET is manufactured by forming a semiconductor region having a second or first conductivity by diffusing first ions implanted into a semiconductor layer 2, having the first or second conductivity and a source region having the first or second conductivity by diffusing second ions implanted into the semiconductor region. The first ions are implanted into the semiconductor layer 2 in an obliquely crossing state, and the second ions are implanted into the semiconductor region perpendicular to the semiconductor layer 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

特開平11-111728

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.

H01L 21/336
21/265
29/78

識別記号

F I

H01L 29/78
21/265
29/78658
B
V
301
X
652
C

審査請求 未請求 請求項の数 2 0 L (全6頁)

(21)出願番号

特願平9-266858

(22)出願日

平成9年(1997)9月30日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 岡田 洋

大阪府門真市大字門真1048番地松下電工株式会社内

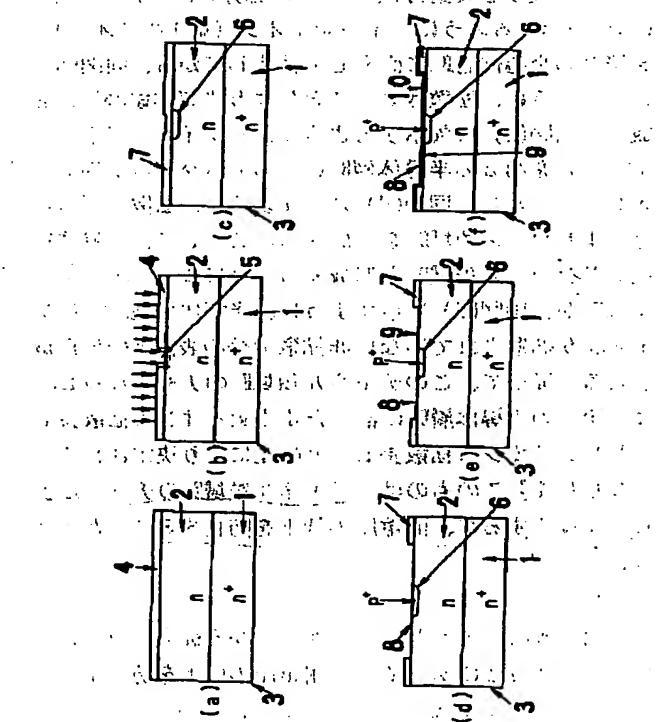
(74)代理人 弁理士 佐藤 成示 (外1名)

(54)【発明の名称】MOSFETの製造方法

(57)【要約】

【課題】半導体領域における半導体層の直交方向の拡散長まで長くすることなく、パンチスルーを防止する。

【解決手段】第1又は第2の導電型のいずれか一方の導電型を有した半導体層2に注入された第1のイオンが拡散することにより第1又は第2の導電型の他方の導電型を有してなる半導体領域と、半導体領域に注入された第2のイオンが拡散することにより第1又は第2の導電型の一方の導電型をしてなるソース領域と、を備えたMOSFETの製造方法であつて、第1のイオンを半導体層に斜めに交差する状態で注入し、第2のイオンを半導体層に対して直交する状態で注入するようにしている。



【特許請求の範囲】

【請求項1】 第1又は第2の導電型のいずれか一方の導電型を有した半導体層に注入された第1のイオンが拡散することにより第1又は第2の導電型の他方の導電型を有してなる半導体領域と、半導体領域に注入された第2のイオンが拡散することにより第1又は第2の導電型の一方の導電型をしてなるソース領域と、を備えたMOSFETの製造方法であって、

前記第1のイオンを前記半導体層に斜めに交差する状態で注入し、前記第2のイオンを前記半導体層に対して直交する状態で注入することを特徴とするMOSFETの製造方法。

回転注入

【請求項2】 前記半導体層を有した基板を前記半導体層の直交方向を回転軸として回転させた状態で、前記第1のイオンを前記半導体層に注入することを特徴とする請求項1記載のMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DMOSFETの製造方法に関するものである。

【0002】

【従来の技術】 従来、この種のMOSFETとして図9に示す構成のものが存在する。このものは、第1導電型(n^+ 型)を有した第1の半導体層A、第1導電型(n型)を有し第1の半導体層Aよりも抵抗が大きい第2の半導体層B、第2の導電型(p^+ 型)を有した半導体領域C、ソース領域Dを備えている。

【0003】 次に、図10(a)乃至(d)に基づいて、このものの製造方法、詳しくは、半導体領域C及びソース領域Dを形成する製造方法について説明する。まず、同図(a)に矢示するように、ホウ素イオン(第1のイオン)を第2の半導体層Bに直交して注入してから、同図(b)に示すように、拡散させることにより半導体領域Cを形成し、同図(c)に矢示するように、リンイオン(第2のイオン)を第2の半導体層Bに対して直交する状態で注入してから、同図(d)に示すように、拡散させることによりソース領域Dを形成する。こうして、半導体領域C及びソース領域Dを形成することにより、チャネル領域Eが、同図(d)に示すように、半導体領域Cでリンイオンが拡散されていない非拡散部分の表面近傍に形成される。従って、このチャネル領域Eのチャネル長L₁は、第2の半導体層Bに沿ったホウ素イオンの拡散長L₁とリンイオンの拡散長L₂との差により決定される。

【0004】 このものは、チャネル領域Eのチャネル長L₁を長くする程、耐電圧の低下を防止することができる。

【0005】

【発明が解決しようとする課題】かかる従来のMOSFETの製造方法にあっては、耐電圧の低下を防止するために、チャネル領域Eのチャネル長L₁を長くすること

を狙って、注入されたホウ素イオン及びリンイオンの拡散条件を適宜設定することにより、ホウ素イオンの拡散長L₁を長くすると、半導体領域Cにおける、第2の半導体層Bの直交方向の拡散長まで長くなってしまうので、MOSFETのオフ時に半導体領域Cの空乏層が第1の半導体層Aに到達しないよう、第2の半導体層Bの直交方向の寸法を大きくしなければならなくなるが、第2の半導体層Bの直交方向の寸法を大きくすると、第1の半導体層Aの表面に形成されるドレイン領域と前述したソース領域との間のいわゆるオン抵抗が大きくなるという懸念がある。

【0006】 本発明は、上記の点に着目してなされたもので、その目的とするところは、半導体領域における半導体層の直交方向の拡散長まで長くすることなく、耐電圧の低下を防止することができるMOSFETの製造方法を提供することにある。

【0007】

【課題を解決するための手段】 上記した課題を解決するために、請求項1記載の発明の製造方法は、第1又は第2の導電型のいずれか一方の導電型を有した半導体層に注入された第1のイオンが拡散することにより第1又は第2の導電型の他方の導電型を有してなる半導体領域と、半導体領域に注入された第2のイオンが拡散することにより第1又は第2の導電型の一方の導電型をしてなるソース領域と、を備えたMOSFETの製造方法であって、前記第1のイオンを前記半導体層に斜めに交差する状態で注入し、前記第2のイオンを前記半導体層に対して直交する状態で注入するようとしている。

【0008】 請求項2記載の発明の製造方法は、請求項1記載の発明の製造方法において、前記半導体層を有した基板を前記半導体層の直交方向を回転軸として回転させた状態で、前記第1のイオンを前記半導体層に注入するようとしている。

【0009】

【発明の実施の形態】 本発明の第1実施形態のMOSFETの製造方法を図1乃至図5に基づいて、以下に説明する。

【0010】 まず、図1(a)に示すように、第1の導電型(n^+ 型)の第1の半導体層1及びその第1の半導体層1よりも比抵抗の大きい第1の導電型(n型)の第2の半導体層2が形成された基板3のその第2の半導体層2の表面上に、所定の膜厚を有した第1の絶縁膜4を形成する。次に、図1(b)に示すように、第1の絶縁膜4の一部を除去して、第1の凹部5を形成してから、矢示するように、高濃度のホウ素イオン(第1のイオン)を第2の半導体層2に直交する方向、詳しくは、直交方向から7度傾けた略直交する方向に注入する。次に、図1(c)に示すように、注入したホウ素イオンを拡散させて、比抵抗の小さい第2の導電型(p^+ 型)の第1の半導体領域6を所定の深さで形成するのと同時に、その第

1の半導体領域6 上に第2の絶縁膜7を形成する。

【0011】次に、図1(d)に示すように、エッティングでもって、第2の絶縁膜4の一部を除去して、第2の半導体層2及び第1の半導体領域6に達するよう第2の凹部8を形成する。次に、図1(e)に示すように、第2の凹部8内にゲート絶縁膜となる第3の絶縁膜9を形成する。次に、図1(f)に示すように、ゲート電極となるポリシリコン製の第1の導電膜10を形成する。

【0012】次に、図2(a)に示すように、第1の半導体領域6及び第2の半導体層2に達するよう、エッティングでもって、第3の絶縁膜9及び第1の導電膜10のそれぞれの一部を除去して、第3の凹部11を形成する。次に、図2(b)に示すように、基板3を第2の半導体層2の直交方向を回転軸として回転させた状態で、矢示すように、ホウ素イオン(第1のイオン)を第2の半導体層2に斜めに交差する状態で注入する。なお、ホウ素イオンを注入するときの基板の回転状態を図4及び図5に示している。次に、図2(c)に示すように、注入したホウ素イオンを拡散させて、前述したエッティングの際に残存した第3の絶縁膜9及び第1の導電膜10の下側にまで、第2の導電型(p型)の第2の半導体領域12を形成する。

【0013】次に、図2(d)に示すように、レジスト13でマスクを形成した後に、矢示すように、リンイオン(第2のイオン)を第2の半導体層2に直交する方向、詳しくは、直交方向から7度傾けた略直交する方向に注入する。次に、図2(e)に示すように、レジスト13及び第1の導電膜10によりマスクされていない部分に、注入したリンイオンを拡散させて、第1の導電型(n型)のソース領域14を形成する。次に、図2(f)に示すように、第4の絶縁膜15を形成して後に、第4の凹部16を形成し、さらに、第1の半導体領域6及びソース領域14にコンタクトしてソース電極となる第2の導電膜17を形成する。

【0014】以上の製造工程の後に、第1の半導体層1の表面に、ドレン電極となる第3の導電膜18を形成して、図3に示したエンハンスマント型のDMOSFETが製造される。上記した製造工程により、チャネル領域19が、図3に示すように、第2の半導体領域12でリンイオンが拡散されていない非拡散部分の表面近傍に形成される。

【0015】かかるMOSFETの製造方法にあっては、第2の半導体層2に斜めに交差する状態で注入されるホウ素イオンは、第2の半導体層2に沿う方向の拡散長が長くなる。しかしながら、第2の半導体層2に略直交する状態で第2の半導体領域に注入されるリンイオンは、第2の半導体層2に沿う方向の拡散長が長くならない。従って、第2の半導体領域12における、第2の半導体層2の直交方向のホウ素イオンの拡散長まで長くすることなく、第2の半導体層2に沿ったホウ素イオンの拡

散長L₁とリンイオンの拡散長L₂との差により決定されるチャネル領域19のチャネル長L₃を長くすることができ、ひいては、耐電圧の低下を防止するとともに、ドレインソース間の印加電圧を大きくしても電流が飽和しない現象である、いわゆるパンチスルーを防止することができる。

【0016】また、ホウ素イオンを第2の半導体層2に注入するときに、第2の半導体層2を有した基板3を第2の半導体層2の直交方向を回転軸として回転させるから、イオン注入源を回転させるような煩わしいことをしなくとも、製造工程で基板表面に設けられた導電層や絶縁層の影にならないよう、ホウ素イオンを第2の半導体層2に注入することができる。

【0017】次に、本発明の第2実施形態のMOSFETの製造方法を図6乃至図8に基づいて、以下に説明する。なお、第1実施形態と実質的に同一の箇所には同一の符号を付し、第1実施形態と異なるところのみ記す。第1実施形態は、エンハンスマント型のDMOSFETの製造方法であるが、本実施形態は、デブレッシュョン型のDMOSFETの製造方法である。

【0018】まず、図6(a)に示すように、第1実施形態と同様の手順により、第1の絶縁膜4を形成する。次に、図6(b)に示すように、第1実施形態と同様の手順により、ホウ素イオン(第1のイオン)を第2の半導体層2に直交する方向、詳しくは、直交方向から7度傾けた略直交する方向に注入する。次に、図6(c)に示すように、第1実施形態と同様の手順により、注入したホウ素イオンを拡散させて、第1の半導体領域6を形成するとの同時に、その第1の半導体領域6上に第2の絶縁膜7を形成する。

【0019】次に、図6(d)に示すように、エッティングでもって、第2の絶縁膜7の一部を除去して、第2の半導体層2及び第1の半導体領域6に達するよう第2の凹部8を形成する。次に、図6(e)に示すように、基板3を第2の半導体層2の直交方向を回転軸として回転させた状態で、矢示すように、ホウ素イオンを第2の半導体層2に斜めに交差する状態で注入する。次に、図6(f)に示すように、注入したホウ素イオンを拡散させて、前述したエッティングの際に残存した第2の絶縁膜4の下側にまで、第2の導電型(p型)の第2の半導体領域12を形成する。

【0020】次に、図7(a)に矢示すように、リンイオン(第2のイオン)を第2の半導体層2に直交する方向、詳しくは、直交方向から7度傾けた略直交する方向に注入する。次に、図7(b)に示すように、注入したリンイオンを拡散させて、第1の導電型(n型)のソース領域14を形成して後に、第5の絶縁膜20を形成する。次に、図7(c)に示すように、エッティングでもって、第5の絶縁膜20の一部を除去して、第1及び第2の半導体領域6,12並びにソース領域14に達するよう第5の凹部21を

形成する。

【0021】次に、図7(d)に示すように、第5の凹部21を通して、リシイオンを第2の半導体層2に直交する方向、詳しくは、直交方向から7度傾けた略直交する方向に注入して、ディプレッショナ化する。次に、図7

(e)に示すように、第5の凹部21内にゲート絶縁膜となる第3の絶縁膜9を形成する。次に、図7(f)に示すように、ゲート電極となるポリシリコン製の第1の導電膜10を形成する。

【0022】次に、図7(g)に示すように、第1の半導体領域6及び第2の半導体層2に達するよう、エッティングでもって、第3の絶縁膜9及び第1の導電膜10のそれぞれの一部を除去して第6の凹部22を形成する。次に、図7(h)に示すように、第6の絶縁膜23を形成して後に、第6の凹部24を形成し、さらに、第1の半導体領域6及びソース領域14にコントラクトしてソース電極となる第2の導電膜17を形成する。

【0023】以上の製造工程の後に、第1の半導体層1の表面に、ドレイン電極となる第3の導電膜18を形成して、図8に示したディプレッショナ型のDMOSFETが製造される。上記した製造工程により、チャネル領域19が、図8に示すように、第2の半導体領域12に隣接してリシイオンが拡散されていない非拡散部分の表面近傍に形成される。

【0024】かかるMOSFETの製造方法にあっては、第1実施形態と同様の効果を奏すことができる。

【0025】なお、第1及び第2実施形態では、第1の導電型がn型で、第2の導電型がp型であるとともに、第1のイオンがホウ素イオンで、第2のイオンがリシイオンであるが、第1の導電型がp型で、第2の導電型がn型であるとともに、第1のイオンがリシイオンで、第2のイオンがホウ素イオンであっても、同様の効果を奏すことができる。

【0026】
【発明の効果】請求項1記載の発明の製造方法によると、半導体層に斜めに交差する状態で注入される第1のイオンは、半導体層に沿う方向の拡散長が長くなる。しかしながら、半導体層に直交する状態で半導体領域に注入される第2のイオンは、半導体層に沿う方向の拡散長が長くならない。従って、半導体領域における半導体層の直交方向の第1のイオンの拡散長まで長くすることなく、半導体層に沿った第1のイオンの拡散長と第2のイオンの拡散長との差により決定されるチャネル領域のチャネル長を長くすることができ、ひいては、耐電圧の低下を防止することができる。

【0027】請求項2記載の発明の製造方法によると、請求項1記載の発明の製造方法による効果に加えて、第1のイオンを半導体層に注入するときに、半導体層を有した基板を半導体層の直交方向を回転軸として回転させるから、イオン注入源を回転させるような煩わしいことをしなくても、製造工程で基板表面に設けられた導電層や絶縁層の影にならないよう、イオンを半導体層に注入することができる。

【図面の簡単な説明】
【図1】本発明の第1実施形態の製造方法を示す基板の断面図である。

【図2】同上の図1に続く製造方法を示す基板の断面図である。

【図3】同上の製造方法により製造されたMOSFETの断面図である。

【図4】同上の製造方法により第1のイオンを注入するときの基板の回転状態を示す断面図である。

【図5】同上の製造方法により第1のイオンを注入するときの基板の回転状態を示す平面図である。

【図6】本発明の第2実施形態の製造方法を示す基板の断面図である。

【図7】同上の図6に続く製造方法を示す基板の断面図である。

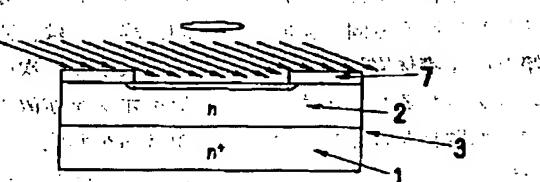
【図8】同上の製造方法により製造されたMOSFETの断面図である。

【図9】従来例の製造方法により製造されたMOSFETの断面図である。

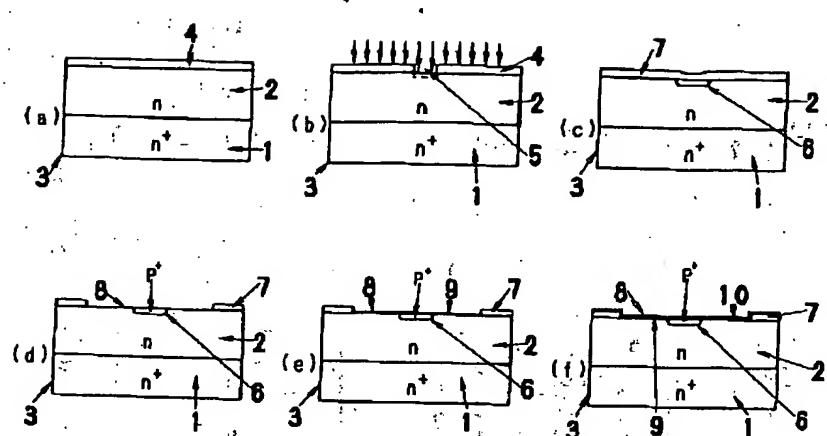
【図10】従来例の製造方法を示す基板の断面図である。

【符号の説明】
1 第1の半導体層
2 第2の半導体層
3 基板
6 第1の半導体領域
12 第2の半導体領域
14 ソース領域

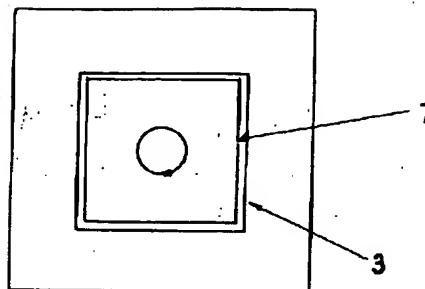
【図4】



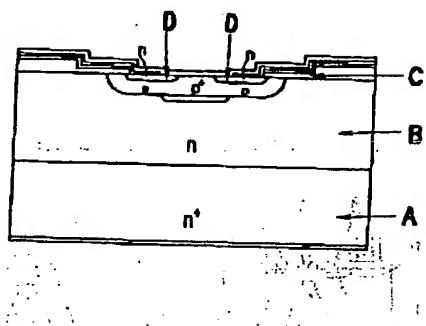
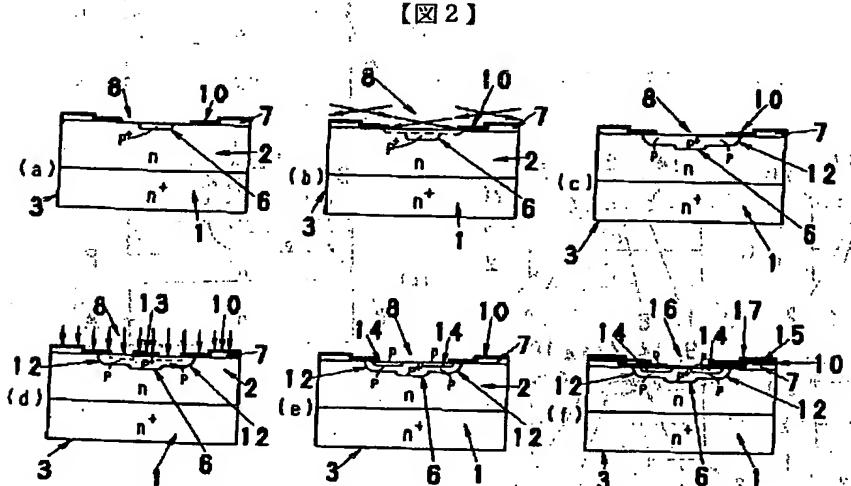
【図1】



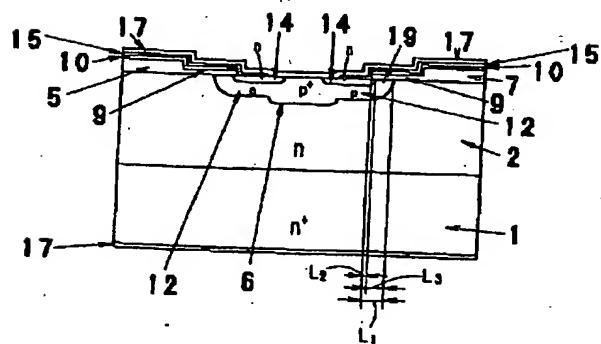
【図5】



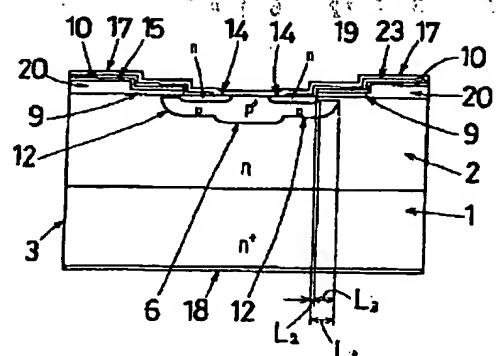
【図10】



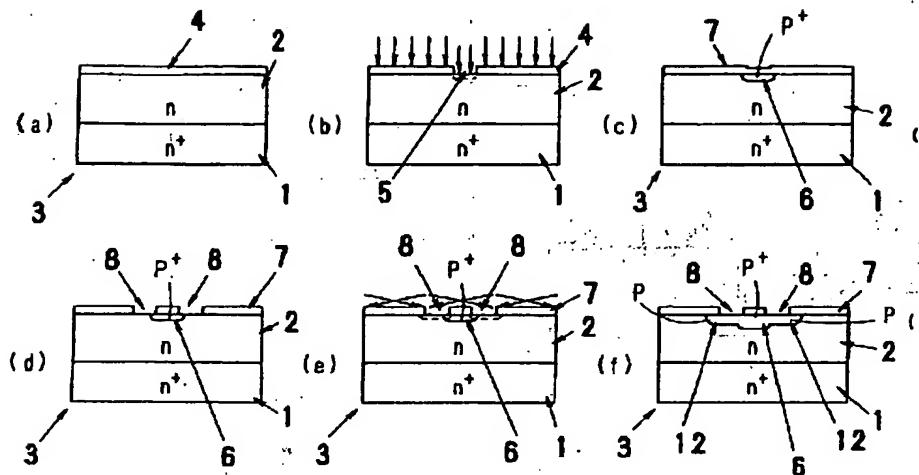
【図3】



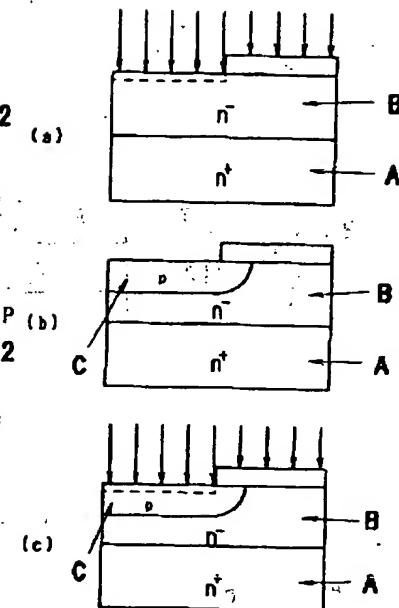
【図8】



【図6】



【図9】



【図7】

